

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-041583

(43)Date of publication of application : 13.02.1998

(51)Int.Cl.

H01S 3/18
H01S 3/103

(21)Application number : 08-196589

(71)Applicant : SONY CORP

(22)Date of filing : 25.07.1996

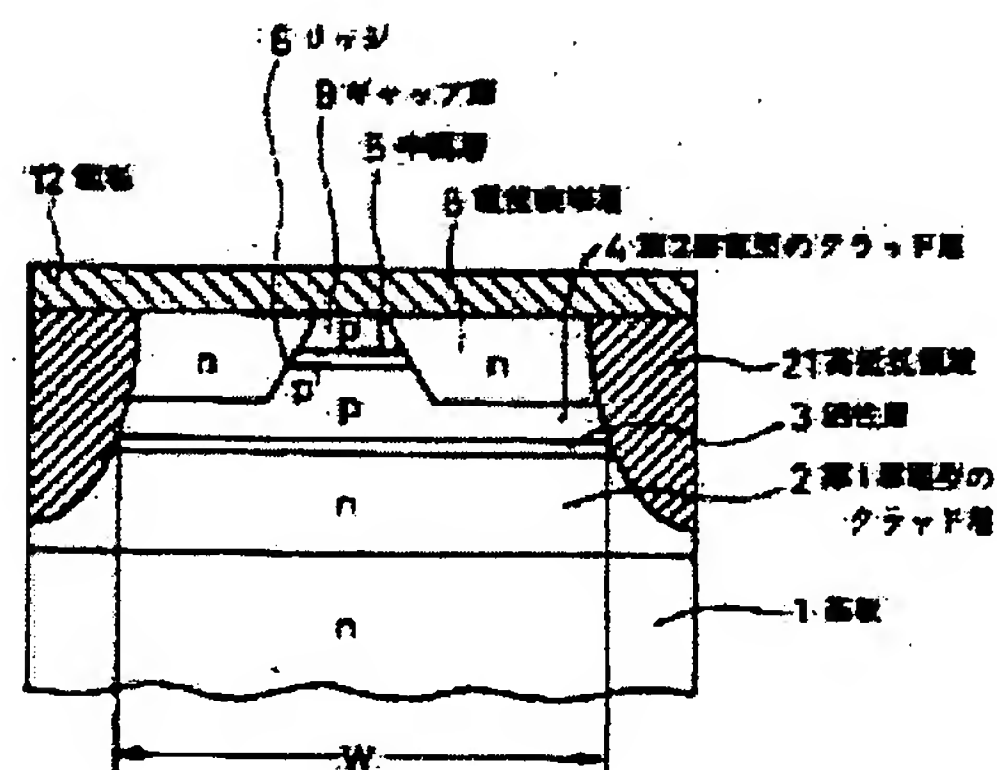
(72)Inventor : UCHIDA SHIRO

(54) SEMICONDUCTOR LIGHT-EMITTING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To contrive a reduction in a junction capacitance and to enhance the yield of a semiconductor light-emitting device, by a method in which a part, which is used as a luminous part, is left in a specified width and ion-implanted high-resistance regions, which cross an active layer, are respectively formed on both sides of the luminous part.

SOLUTION: A mask layer is removed and a second conductivity type cap layer 9 is epitaxially grown all over the surface of an intermediate layer 5. A part, which is used as a luminous part, is left in a width of 15 to 150 μ m on both sides of a striped bridge 6, which lies between both sides of the luminous part being held in the luminous part, in a depth, which crosses the layer 3 from the upper part of the layer 9 and reaches a first conductivity type clad layer 2 which is formed under the layer 3, and ions are implanted in the layer 3 in such a way as to cross the layer 3 to form high-resistance regions 21. Thereby, a reduction in a parasitic capacitance due to a reduction in a junction capacitance can be contrived and the high yield of a semiconductor light-emitting device can be contrived in a mass production manner.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-41583

(43)公開日 平成10年(1998)2月13日

(51)Int.Cl.⁵

H01S 3/18
3/103

識別記号

庁内整理番号

F I

H01S 3/18
3/103

技術表示箇所

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号 特願平8-196589

(22)出願日 平成8年(1996)7月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 内田 史朗

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

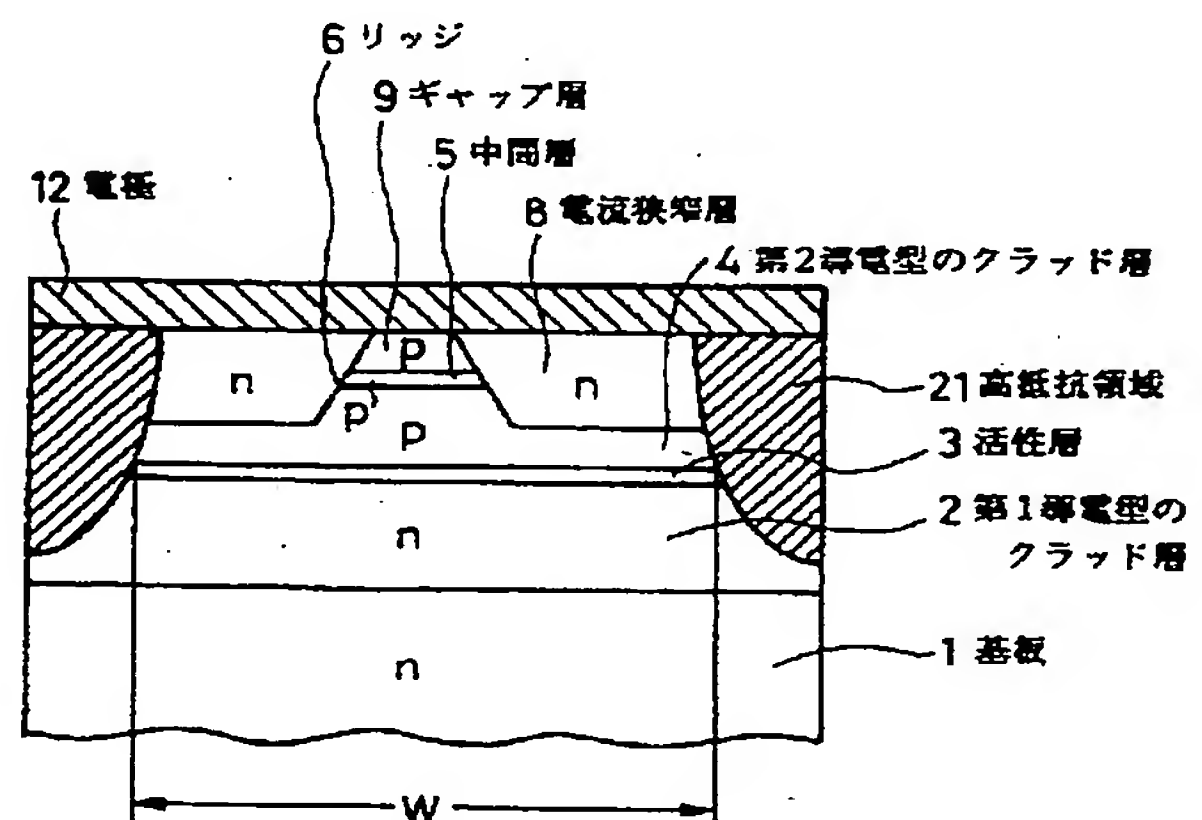
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 半導体発光装置

(57)【要約】

【課題】 寄生容量特に接合容量の低減化ををはかり、しかも信頼性が高く、製造が容易で、歩留りの向上をはかることができるようにする。

【解決手段】 基板1上に少なくとも第1導電型のクラッド層2と、活性層3と、第2導電型のクラッド層4とが形成されてなる半導体層に、その発光部となる部分を $15\mu\text{m}\sim 150\mu\text{m}$ 残してその両側に、活性層を横切ってイオン注入高抵抗領域21が形成された構成とする。



【特許請求の範囲】

【請求項1】 基板上に少なくとも第1導電型のクラッド層と、活性層と、第2導電型のクラッド層とが形成されてなる半導体層に、

発光部となる部分を $15\mu\text{m}\sim 150\mu\text{m}$ 残してその両側に、上記活性層を横切ってイオン注入高抵抗領域が形成されてなることを特徴とする半導体発光装置。

【請求項2】 上記基板が、 $\{100\}$ 結晶面から傾いた基板面を有することを特徴とする請求項1に記載の半導体発光装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体発光装置、特に高速変調を行う半導体発光装置例えば半導体レーザーに係わる。

【0002】

【従来の技術】高速変調がなされる半導体発光装置、例えば半導体レーザーにおいては、その高速化のために、寄生容量の低減化、したがって接合容量の低減化をはかって、接合面積の縮小化がなされる。

【0003】この種半導体発光装置、例えば、 AlGaInP 系の半導体レーザーにおいて、図5にその概略断面図を示すように、第1導電型例えばn型の $\{100\}$ 結晶面を基板面とする GaAs 基板1上に、例えば GaAs バッファ層（図示せず）がエピタキシャル成長され、続いて、第1導電型例えばn型の AlGaInP によるクラッド層2、例えば GaInP による活性層3、第2導電型例えばp型の AlGaInP によるクラッド層4、第2導電型の InGaP による中間層5が順次エピタキシャル成長する。そして、発光部を構成する部分上において、図5において紙面と直交する方向に延びるストライプ状のリッジ6を残して、その両側に中間層5を横切り、クラッド層4に至る深さのエッチングによる溝7を形成し、この溝7内を埋込んですなわちリッジ6を挟んでその両側に、第1導電型の例えばn型の GaAs による電流狭窄層8を形成する。この電流狭窄層8の形成は、例えばリッジ6上に、 SiO_2 等のマスク層（図示せず）を形成し、 GaAs を、選択的CVD（化学的気相成長）法によって、マスク層によって覆われていない部分にエピタキシャル成長することによって形成する。

【0004】その後、マスク層の除去を行い全面的に第2導電型例えばp型の GaAs によるキャップ層9をエピタキシャル成長し、このキャップ層9上から、活性層3を横切り下層の第1導電型のクラッド層2に至る深さに、発光部を挟んでその両側、すなわちストライブリッジ6の両側の、発光部に影響を及ぼすことのない位置にストライプ状の分割溝10を、例えば化学的エッチングによって形成する。

【0005】この構成による半導体レーザーは、発光部

を挟んでその両側に分割溝10が形成されて、発光部が、その外側部と分断されていることから、この発光部に寄生する接合容量の縮小化がはかられ、これに伴って、変調速度の向上がはかれるものである。

【0006】この構成による半導体発光装置、例えば半導体レーザーは、図6にその概略断面図を示すように、分割溝10の内面には、 SiO_2 等の絶縁層11が、被着形成される。この絶縁層11の形成は、まずキャップ層9の上面を含んで全面的に絶縁層11の形成を行い、その後、フォトリソグラフィによってキャップ層9の上面の絶縁層11を除去し、此处に一方の電極12がオーミックに被着形成する。

【0007】そして、この半導体レーザーは、一般に例えばヘッダー13にその電極12が半田14によって電気的、機械的、熱的に連結されるという構成が採られる。

【0008】ところが、上述の構成による半導体発光装置は、その分割溝10を形成するためのエッチングに伴う作業が極めて煩雑であり、また分割溝10の存在によって電極12に剥がれが生じ易いなど信頼性に問題がある。また、この分割溝10は、充分幅狭に形成しにくいことから、全体の面積が大きくなるとか、この幅広の分割溝10の存在によって、レーザー動作部の放熱効果が低下し、高出力レーザーを長時間動作させる場合に寿命低下を来すなどの問題がある。

【0009】また、さらに、基板1として $\{100\}$ 結晶面から傾いたいわゆるオフ基板を用いる場合、分割溝10の形成において、その溝側面が左右非対称となるとか、特にその側面が急峻な側面として形成されるという現象が生じる。この場合、この分割溝10の急峻でしかも比較的深い側面に SiO_2 等の絶縁層11を、必要充分な厚さに良好に被着することが難しくなるとか、また上述したフォトリソグラフィによってキャップ層9の上面の絶縁層11を選択的に除去する場合においてそのフォトレジストの塗布、およびパターン露光において溝側面を確実に覆うように形成することが阻害されて、分割溝10の側面に対するフォトレジストの形成が不完全となって此处における絶縁層11の形成が不完全となり、図6で説明したヘッダー13への半田づけに際し、分割溝10内への半田の盛り上がりによって絶縁層11の不完全部分を通じて接合を短絡させるとか、リークの発生を生じるなどの信頼性の低下、不良品の発生を来す。

【0010】

【発明が解決しようとする課題】本発明は、上述した高速変調や、例えばレーザープリンター等の立ち上がりが急峻であることが要求される半導体発光装置、例えば半導体レーザーにおいて、寄生容量特に接合容量の低減化をはかり、しかも信頼性が高く、製造が容易で、歩留りの向上をはかることができるようにした半導体発光装置を提供するものである。

10

20

30

40

50

【0011】

【課題を解決するための手段】本発明による半導体発光装置は、基板上に少なくとも第1導電型のクラッド層と、活性層と、第2導電型のクラッド層とが形成される半導体層に、その発光部となる部分を $15\mu\text{m}\sim 150\mu\text{m}$ 残してその両側に、活性層を横切ってイオン注入高抵抗領域が形成された構成とする。

【0012】上述の本発明構成によれば、イオン注入による高抵抗領域の形成によって半導体発光動作に関連する接合の分断を行って発光に係わる接合面積の縮小化、すなわち寄生容量の低減化をはかるものである。したがって、この構成によれば、寄生容量の低減化によって、立ち上がりが急峻で、高速変調が可能な半導体発光装置を構成できるものである。

【0013】

【発明の実施の形態】本発明による半導体発光装置の実施の形態を説明する。図1は、本発明による半導体発光装置、例えば半導体レーザーの一例の概略断面図を示す。この例においては、いわゆるDH（ダブルヘテロ接合）型の半導体レーザーに適用した場合である。

【0014】この半導体レーザーは、図5で説明したと同様に、第1導電型例えばn型の、{100}結晶面を基板面とするもしくはこの{100}結晶面から傾いたいわゆるオフ基板によるGaAs基板1上に、例えばGaAsバッファ層（図示せず）がエピタキシャル成長され、続いて、第1導電型例えばn型のAlGaInPによるクラッド層2、例えばGaInPによる活性層3、第2導電型例えばp型のAlGaInPによるクラッド層4、第2導電型のInGaPによる中間層5が順次エピタキシャル成長される。そして、発光部を構成する部分上において、図5において紙面と直交する方向に延びるストライプ状のリッジ6を残して、その両側に中間層5を横切り、クラッド層4に至る深さのエッチングによる溝7を形成し、この溝7内を埋込んですなわちリッジ6を挟んでその両側に、第1導電型の例えばn型のGaAsによる電流狭窄層8を形成する。この電流狭窄層8の形成は、例えばリッジ6上に、 SiO_2 等のマスク層（図示せず）を形成し、GaAsを、選択的CVD（化学的気相成長）法によって、マスク層によって覆われていない部分にエピタキシャル成長することによって形成する。

【0015】その後、マスク層の除去を行い全面的に第2導電型例えばp型のGaAsによるキャップ層9をエピタキシャル成長し、このキャップ層9上から、活性層3を横切り下層の第1導電型のクラッド層2に至る深さに、発光部を挟んでその両側、すなわちストライブリッジ6の両側に、発光部となる部分を幅 $W=15\mu\text{m}\sim 150\mu\text{m}$ 残してその両側に、活性層3を横切ってイオン例えば H^+ をイオン注入して高抵抗領域21を形成する。

【0016】そして、キャップ層9上に、電流狭窄層8、高抵抗領域21上に跨がって電極12の形成を行う。

【0017】高抵抗領域21の形成は、図3にその概略断面図を示すように、ストライプ状リッジ6の中心軸上に、上述した幅Wに対応する幅Wのイオン注入マスク22を被着形成し、 H^+ 等のイオン注入を、活性層3およびこれの上に形成された半導体層の厚さに対応して、所要のエネルギー例えば200keV以上をもってイオン注入することによって形成することができる。

【0018】しかしながら、イオン注入エネルギーを200keV未満によって行う必要がある場合で、しかもこのエネルギーによっては、活性層3を横切る深さに高抵抗領域21の形成を行うことができない場合には、図4にその概略断面図を示すように、まず高抵抗領域21を形成すべき部分の例えば電流狭窄層8を、マスク22を用いてエッチング除去して、この除去部において200keV未満のエネルギーによるイオン注入を行って、高抵抗領域21の形成を行うようにすることができる。

【0019】上述の本発明構成によれば、イオン注入による高抵抗領域の形成によって半導体発光動作に関連する接合の分断を行って発光に係わる接合面積の縮小化、すなわち寄生容量の低減化をはかるものである。したがって、この構成によれば、寄生容量の低減化によって、立ち上がりが急峻で、高速変調が可能な半導体発光装置を構成できるものである。

【0020】そして、本発明構成においては、分断溝を形成するものでないことから、オフ基板を使用した場合においてもなんら問題が生じることがない。

【0021】しかも本発明構成においては、その接合の分断をイオン注入による高抵抗領域によって構成することから、この高抵抗領域の幅は充分小に形成できることから、半導体発光装置における実質的占有面積を小さくすることができる。

【0022】また、分割溝による分断でなく、電氣的に高抵抗の領域による分断であることから、発光部とその周囲とは熱的に連結された状態にあることから、充分な放熱効果を奏することができて、これによって高出力化、連続使用、高寿命化をはかることができる。

【0023】また、上述した分割溝を形成する場合における、電極の剥離、ヘッダー等へのマウントにおける半田の盛り上がり回避できるので、この半田の盛り上がりによる前述した短絡、リークの問題を回避できるなど、信頼性の高い目的とする、すなわち変調速度の高い半導体発光装置例えば半導体レーザーを構成することができる。

【0024】尚、上述した例では、第1導電型がn型、第2導電型がp型とした場合であるが、いうまでもなく第1導電型がp型、第2導電型がn型とすることもできる。また、AlGaInP系半導体による場合に限られる

ものではなく、AlGaAs系等各種半導体による半導体発光装置に適用することができる。

【0025】また、上述の例では、活性層3がクラッド層2および4によって挟み込まれたDH構造とした場合であるが、活性層3とクラッド層2および4との間にガイド層が介在するいわゆるSCH (Separate Confinement Heterostructure) 構造による構成をはじめとし、また、電流狭窄層10を光吸収層とすると、その双方の動作をなす層によって構成することもできるなど、種々の構成による半導体レーザー、発光ダイオード等に適用

【0026】

【発明の効果】上述したように、本発明構成によれば、発光動作部を他部と分断したことによって接合容量による寄生容量の低減化をはかることができ、立ち上がりが急峻で、高速変調が可能な半導体発光装置を構成できる。

【0027】そして、その接合の分断をイオン注入による高抵抗領域によって構成するものであることから、分断部の幅は充分小にすることができ、実質的占有面積を小とすることができる。

【0028】また、上述したように、溝による分断でなく、電氣的に高抵抗の領域による分断であることから、発光部とその周囲とは熱的に連結された状態にあることから、充分な放熱効果を奏することができ、これによって高出力化、連続使用、高寿命かをはかることができる。

【0029】また、表面の平坦化がはかられ、電極を平坦な面に広面積に形成できることから、剥離等が回避さ

＊れ、信頼性の高い半導体発光装置を構成できる。

【0030】さらに、従来におけるような分割溝の形成を回避したことから、ヘッダー等へのマウントにおける半田の盛り上がり分割溝内で生じることによる不都合が回避される。そして、本発明によれば、基板面が{100}結晶面から傾いたいわゆるオフ基板を用いる場合においてもなんら不都合が生じることがない。

【0031】また、分断溝を形成する場合、煩雑なエッチング作業や、分断溝内への絶縁層の形成など煩雑で、信頼性に問題の生じる作業が回避されることから、量産的に、信頼性の高いすなわち高い歩留りをもって容易に、半導体発光装置を構成することができる。

【図面の簡単な説明】

【図1】本発明による半導体発光装置の一例の概略断面図である。

【図2】本発明による半導体発光装置の一例の製造方法の説明に供する概略断面図である。

【図3】本発明による半導体発光装置の他の例の概略断面図である。

【図4】本発明による半導体発光装置の他の例の製造方法の説明に供する概略断面図である。

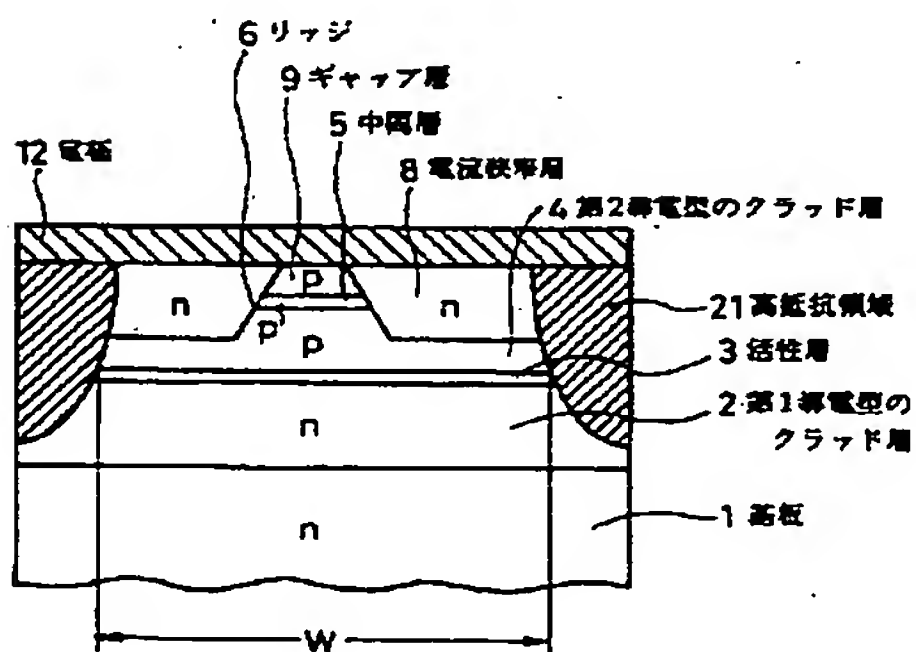
【図5】従来の半導体発光装置の概略断面図である。

【図6】従来の半導体発光装置をヘッダー上にマウントした状態を示す概略断面図である。

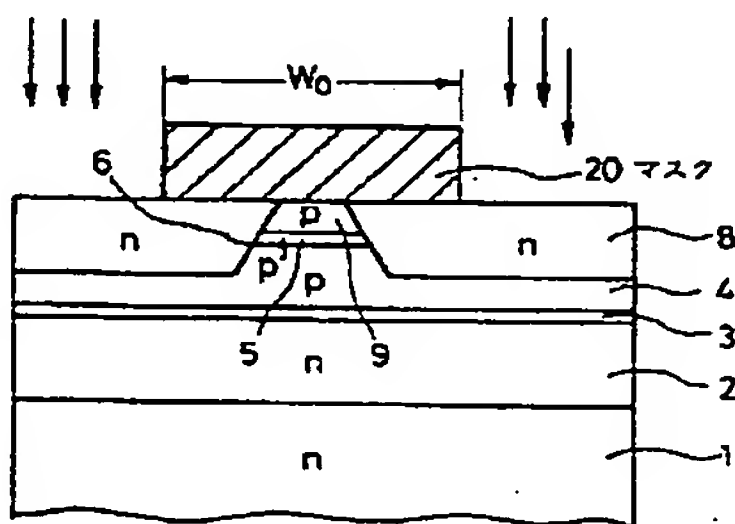
【符号の説明】

1 基板、2 第1導電型のクラッド層、3 活性層、4 第2導電型のクラッド層、5 中間層、6 リッジ、7 溝、8 電流狭窄層、9 キャップ層、10 分割溝、21 イオン注入高抵抗領域

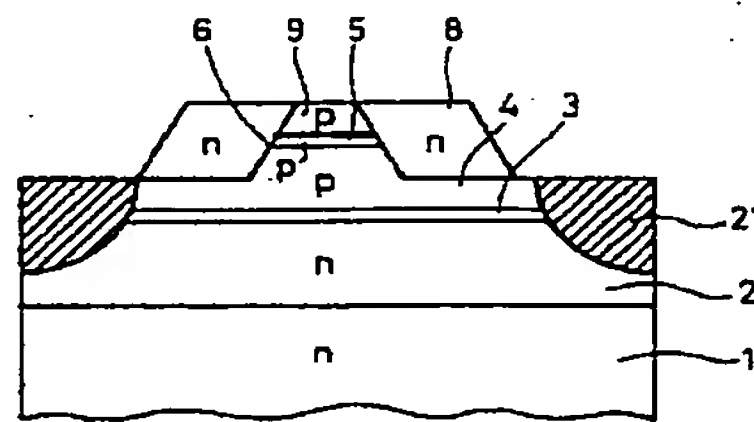
【図1】



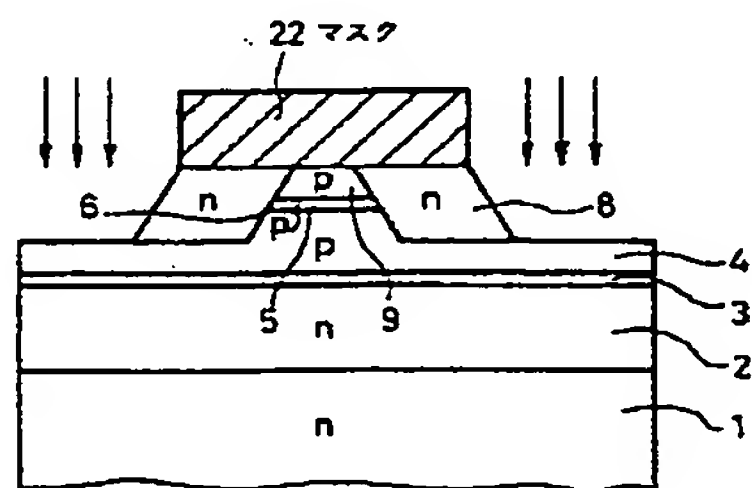
【図2】



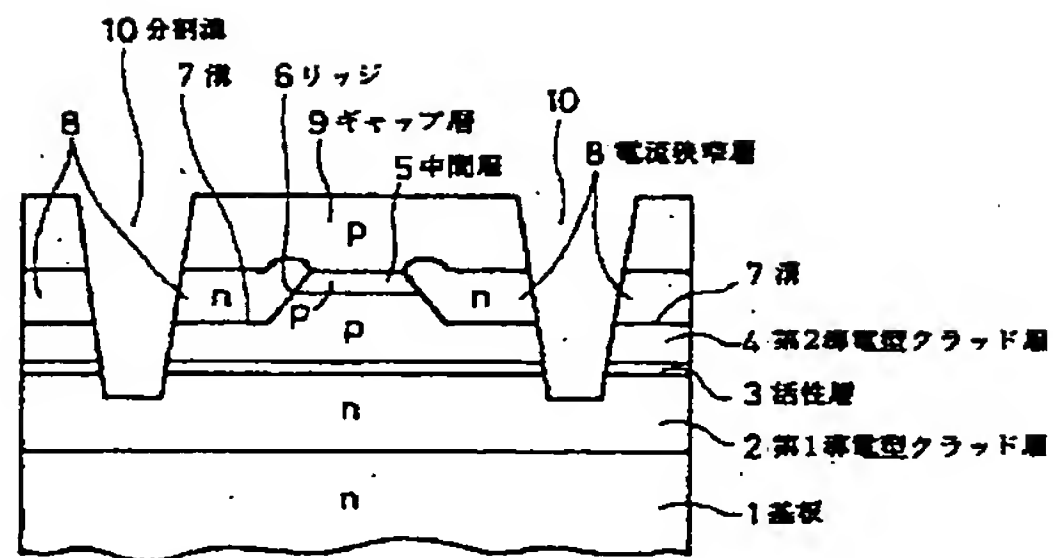
【図3】



【図4】



【図5】



【図6】

